



500.42877X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): ISHITSUKA, et al
Serial No.: 10/600,771
Filed: June 23, 2003
Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD
 OF THE SAME

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

August 14, 2003

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby
claim(s) the right of priority based on the next following Japanese Patent Application

Nos.:

Japanese Patent Application No. 2002-182323, filed on June 24, 2002
Japanese Patent Application No. 2002-342143, filed on November 26, 2002

A certified copy of each Japanese Patent Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

Gregory E. Montone
Registration No. 28,141

GEM/rp
Attachment

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 6 月 2 4 日
Date of Application:

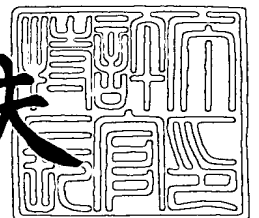
出 願 番 号 特 願 2 0 0 2 - 1 8 2 3 2 3
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 1 8 2 3 2 3]

出 願 人 株式会社日立製作所
Applicant(s): トレセンティテクノロジーズ株式会社

2 0 0 3 年 7 月 2 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 5 8 7 0 9

【書類名】 特許願

【整理番号】 1502003971

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 茨城県土浦市神立町 5 0 2 番地 株式会社 日立製作所
機械研究所内

【氏名】 石塚 典男

【発明者】

【住所又は居所】 茨城県土浦市神立町 5 0 2 番地 株式会社 日立製作所
機械研究所内

【氏名】 岩▲崎▼ 富生

【発明者】

【住所又は居所】 茨城県土浦市神立町 5 0 2 番地 株式会社 日立製作所
機械研究所内

【氏名】 太田 裕之

【発明者】

【住所又は居所】 茨城県土浦市神立町 5 0 2 番地 株式会社 日立製作所
機械研究所内

【氏名】 三浦 英生

【発明者】

【住所又は居所】 茨城県ひたちなか市堀口 7 5 1 番地 トレセンティテク
ノロジーズ株式会社内

【氏名】 高橋 正人

【発明者】

【住所又は居所】 茨城県ひたちなか市堀口 7 5 1 番地 トレセンティテク
ノロジーズ株式会社内

【氏名】 鈴木 範夫

【發明者】

【住所又は居所】 茨城県ひたちなか市堀口751番地 トレセンティテク
ノロジーズ株式会社内

【氏名】 池田 修二

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【特許出願人】

【識別番号】 500495256

【氏名又は名称】 トレセンティテクノロジーズ株式会社

【代理人】

【識別番号】 100075096

【弁理士】

【氏名又は名称】 作田 康夫

【電話番号】 03-3212-1111

【手数料の表示】

【予納台帳番号】 013088

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】

半導体基板と、

前記半導体基板に形成された溝と前記溝に埋め込まれた埋込み絶縁膜を有する素子分離領域と、前記素子分離領域に隣接して形成されゲート絶縁膜とゲート絶縁膜の上にゲート電極が形成されるアクティブ領域と、

前記素子分離領域上に少なくともゲート電極の一部が位置し、

前記ゲート電極の位置する第一の素子分離領域における前記埋めこみ絶縁膜の上側の第一端面が、前記ゲート電極膜の位置しない第二の素子分離領域における前記埋込み絶縁膜の第二の端面より上に位置するよう形成される領域を含むことを特徴とする半導体装置。

【請求項 2】

請求項 1 の半導体装置において、第一の端面と第二の端面の差は前記ゲート絶縁膜の厚さより大きいことを特徴とする半導体装置。

【請求項 3】

請求項 1 の半導体装置において、前記アクティブ領域に前記ゲート電極に対応して基板に不純物が打込まれた不純物領域を有し、第一の端面と第二の端面の差は前記不純物領域における基板表面から不純物濃度が最も高くなる深さまでの距離より大きいことを特徴とする半導体装置。

【請求項 4】

請求項 1 の半導体装置において、第一の端面と第二の端面の差は 4 0 n m 以上であることを特徴とする半導体装置。

【請求項 5】

請求項 1 の半導体装置において、第一の端面と第二の端面の差は 2 0 0 n m 以下であることを特徴とする半導体装置。

【請求項 6】

半導体基板と、

前記半導体基板上に形成されたゲート電極を有するアクティブ領域と、
前記半導体基板に形成された溝と前記溝に埋め込まれた埋込み絶縁膜を有する素子分離領域と、を備え、前記素子分離領域における前記埋込み絶縁膜と前記埋込み絶縁膜の上に堆積される膜との界面であって、
前記溝低部から最も離れたところに位置する前記埋め込み絶縁膜の界面は、前記ゲート電極が形成された半導体基板表面より低い位置に形成されることを特徴とする半導体装置。

【請求項 7】

半導体基板と、
前記半導体基板上に形成されたゲート電極を有するアクティブ領域と、
前記半導体基板に形成された溝と前記溝に埋め込まれた埋込み絶縁膜を有する素子分離領域と、を備え、前記素子分離領域における前記埋込み絶縁膜と前記埋込み絶縁膜の上に堆積される膜との界面であって、
前記埋め込み絶縁膜の界面は、前記ゲート電極が形成された半導体基板表面より低い位置に形成され、
前記アクティブ領域は前記ゲート電極に対応して基板に不純物が打込まれた不純物領域を有し、前記埋め込み絶縁膜の界面と前記半導体基板表面との差は、前記不純物領域における基板表面から不純物濃度が最も高くなる深さまでの距離より大きいことを特徴とする半導体装置。

【請求項 8】

半導体基板と、
前記半導体基板に形成された溝と前記溝に埋め込まれた埋込み絶縁膜を有する素子分離領域と、前記素子分離領域に隣接して形成されゲート絶縁膜とゲート絶縁膜の上にゲート電極が形成されるアクティブ領域と、前記素子分離領域と前記アクティブ領域に堆積され前記ゲート電極より上に位置する上端面を有する層間絶縁膜と、を備え、
前記ゲート電極の一部は前記素子分離領域に位置し、
前記ゲート電極の周囲に位置する前記素子分離領域に堆積される前記層間絶縁膜の一部は、前記ゲート電極の下に位置する前記素子分離領域における前記埋込み

絶縁膜の上面より溝底面側に形成されることを特徴とする半導体装置。

【請求項 9】

請求項 1 において、埋め込み酸化膜が密度が $1 \times 10^{10} \sim 1 \times 10^{12}$ 個/ cm^3 のプラズマを使用して作製した HDP 膜を含むことを特徴とする半導体装置。

【請求項 10】

半導体基板と、

前記半導体基板に形成された溝と前記溝に埋め込まれた埋込み絶縁膜を有する素子分離領域と、前記素子分離領域に隣接して形成されゲート絶縁膜とゲート絶縁膜の上にゲート電極が形成されるアクティブ領域と、前記素子分離領域と前記アクティブ領域に堆積され前記ゲート電極より上に位置する上端面を有する層間絶縁膜と、を備え、

前記ゲート電極の一部は前記素子分離領域に位置し、

前記素子分離領域における前記埋め込み絶縁膜の前記埋め込み絶縁膜の上に堆積される膜と対向する界面のうち、前記ゲート電極が位置する第一の素子分離領域における第一の界面が、前記第一の素子分離領域の周囲に位置する第二の素子分離領域における第二の界面より高い位置に形成され、前記第一の界面と第二の界面との間に前記ゲート電極が配置する領域における前記半導体基板表面が位置するように構成された領域を有することを特徴とする半導体装置。

【請求項 11】

素子が形成される複数のアクティブ領域とアクティブ領域相互を分離する素子分離領域を有する半導体基板と、

半導体基板のアクティブ領域の表面にゲート絶縁膜を介して形成されたゲート電極と、

半導体基板の素子分離領域に形成され、埋込み絶縁膜で埋められた溝とを有し、埋込み絶縁膜の上端が半導体基板のアクティブ領域表面より溝底部側に退いていることを特徴とする半導体装置。

【請求項 12】

半導体基板に溝を形成し、前記溝内に前記基板より導電性の低い埋め込み絶縁膜

を埋め込み、素子分離領域と前記素子分離領域に隣接するアクティブ領域を形成する工程、

前記半導体基板にゲート絶縁膜とゲート電極膜及びその上に絶縁膜を堆積し、パターンニングしてゲート電極を形成する工程、

前記素子分離領域の前記埋め込み絶縁膜の一部を除去し、前記埋め込み絶縁膜の表面に、前記ゲート電極が位置する第一の領域と、前記第一の領域の周りに、前記第一の領域より低い第二の領域を形成する工程、とを有することを特徴とする半導体装置の製造方法。

【請求項 13】

請求項 12 において、前記第二領域の前記埋め込み絶縁膜は、前記ゲート絶縁膜の厚さ以上除去されることを特徴とする半導体装置の製造方法。

【請求項 14】

請求項 12 において、前記第二領域の前記埋め込み絶縁膜は、40 nm 以上除去されることを特徴とする半導体装置の製造方法。

【請求項 15】

請求項 12 において、前記第二領域の前記埋め込み絶縁膜は、200 nm 以下除去されることを特徴とする半導体装置の製造方法。

【請求項 16】

半導体基板に溝を形成し、前記溝内に前記基板より導電性の低い埋め込み絶縁膜を埋め込み、素子分離領域と前記素子分離領域に隣接するアクティブ領域を形成する工程、

前記半導体基板にゲート絶縁膜とゲート電極膜及びその上に絶縁膜を堆積し、パターンニングしてゲート電極を形成する工程、

レジストを半導体基板上に塗布し、パターンニングして前記素子分離領域において、前記ゲート電極が位置する第一の領域にレジストを残し、前記ゲート電極が位置しない第二の領域のレジストを除去し、前記第二の領域の前記埋め込み絶縁膜の一部を除去する工程、

前記半導体基板表面に熱酸化膜を形成し、前記熱酸化膜を通過させて前記半導体基板に不純物を打ち込み、アニールして不純物領域を形成する工程、

前記半導体基板に半導体基板より導電性の低い絶縁膜を堆積する工程、
前記堆積した絶縁膜の前記不純物領域の位置に穴を開け、コンタクトホールを形成する工程、
前記コンタクトホール内にシリコンより導電性の高い導電性材料を埋め込んでプラグを形成する工程、とを有することを特徴とする半導体装置の製造方法。

【請求項 17】

請求項 16 において、前記第二の領域の前記埋め込み絶縁膜は、前記不純物領域における基板から前記不純物が最高濃度となる深さ以上除去されることを特徴とする半導体装置の製造方法。

【請求項 18】

(1) 半導体基板に溝を形成し、溝内に埋め込み酸化膜を埋め込み、素子分離領域及び素子分離領域により電氣的に隔てられたアクティブ領域を形成する工程、
(2) 半導体基板にゲート酸化膜、ゲート電極膜及び絶縁膜を堆積してパターンニングし、ゲート電極を形成する工程、
(3) レジストを前記半導体基板上に塗布して前記レジストをパターンニングし、素子分離領域中の酸化膜の一部を除去する工程、
(4) 前記半導体基板表面を熱酸化して熱酸化膜を形成し、前記熱酸化膜の上から不純物を前記半導体基板に打ち込み、アニールして不純物領域を形成する工程、
(5) 前記素子分離領域及びアクティブ領域の上に層間絶縁膜を堆積する工程、
(6) 前記層間絶縁膜に穴を開け、コンタクトホールを形成する工程、
(7) 前記コンタクトホール内に導電性材料を埋め込み、前記不純物領域に電氣的に連絡するプラグを形成する工程、
(8) 前記層間絶縁膜上に、前記プラグに電氣的に連絡する配線層を形成する工程、とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関し、溝と溝に埋め込まれた絶縁膜を備えた素子分離領域を有する半導体装置に関する。

【0002】

【従来の技術】

MOSトランジスタのゲート電極側壁にはサイドウォールとなる絶縁膜が形成されており、その両端に不純物を打ち込んでソースやドレイン領域が形成されている。このソースやドレイン領域端部ではシリコン基板中に結晶欠陥が発生する場合が多くみられ、この結晶欠陥を防止する方法として、特開平08-97210号公報には、にゲート電極の側面と、サイドウォールとなるシリコンナイトライド膜とその下の基板との間に酸化膜を介在させる構成が開示されている。

【0003】

【発明が解決しようとする課題】

しかし、本発明者は、前記公知例の構造では、ソース及びドレイン領域等を含むアクティブ領域の基板に発生する結晶欠陥を抑制するには十分でないことを見出した。

【0004】

これは結晶欠陥の発生がゲート電極の応力だけで決まるものではなく、その他の素子分離領域からの応力や打ち込まれた不純物に基づく要因も無視できないくらい大きく影響しているためである。

【0005】

そこで、本発明の目的は、基板に生じる結晶欠陥を効果的に抑制でき、性能の良好な半導体装置及び製造方法を提供することにある。

【0006】

【課題を解決するための手段】

上記目的を達成するために、本発明は、素子分離領域中の埋め込み酸化膜を落込ませるようにする。これにより、基板の結晶欠陥の発生を抑制することができる。

具体的には、以下の構成を有することができる。

【0007】

本発明の発明者は基板上に素子分離領域が形成されており、素子形成領域にゲート構造が形成されている場合で、さらにシリコン基板に砒素やりんなど不純物を高濃度で打ち込んだ場合に、結晶欠陥が発生しやすくなることについて検討を行った。その結果、基板に不純物が打ち込まれると、不純物が打ち込まれた領域（不純物形成領域）には高い応力（不純物起因応力）が生じ、この不純物起因応力がゲート構造や素子分離形成過程で生じる応力（STI応力）によって拘束されて結晶欠陥が生じることを突き止めた。これに基づき、この不純物応力を拘束しないように、STI応力を低減することで結晶欠陥を抑制できることを見出した。

【0008】

または、素子分離領域はシリコン基板に溝を形成し、例えば、埋め込み酸化膜を埋め込んだものである。トランジスタ形成過程では多くのシリコン基板酸化工程が存在する。酸化種となる酸素は溝内部にも埋め込み酸化膜を通して拡散するので、溝側壁にも酸化膜が成長する。SiからSiO₂変化時に約2倍の体積膨張が生じる。この体積膨張は埋め込まれた酸化膜によって拘束を受けるので、シリコン基板中には高い圧縮の応力が生じる。そのため、この圧縮応力を低減するため、埋め込んだ埋め込み酸化膜をシリコン基板表面から落込ませるようにした。これにより、酸化に伴う応力を低減することで結晶欠陥を抑制できる。

【0009】

また、具体的には以下の形態をとることができる。

(1) 半導体基板と、前記半導体基板に形成された溝と前記溝に埋め込まれた埋め込み絶縁膜を有する素子分離領域と、前記素子分離領域に隣接して形成されゲート絶縁膜とゲート絶縁膜の上にゲート電極が形成されるアクティブ領域と、前記素子分離領域上に少なくともゲート電極の一部が位置し、前記ゲート電極の位置する第一の素子分離領域における前記埋め込み絶縁膜の上側の第一端面が、前記ゲート電極膜の位置しない第二の素子分離領域における前記埋め込み絶縁膜の第二の端面より上に位置するよう形成される領域を含むことを特徴とする。

前記ゲート電極が位置しない第二の素子分離領域は、例えば、前記第一の素子

分離領域の周囲に位置する領域であることができる。前記第二の素子分離領域として測定する前記絶縁膜の端面は、素子分離領域の溝側端部から溝深さ分だけ離れた測定領域において計測することができる。もし、前記測定領域が規定し難い場合は、アクティブ領域で挟まれた素子分離領域の中央を含む領域で計測するようにしてもよい（例えば、素子分離領域の基板側端部に素子分離領域より低い低下部が形成されている場合は、これを避けた領域とすることができる）。

なお、例えば、前記第一の界面は、前記埋込み絶縁膜の界面のうち、その上に位置するゲート電極と対向する領域の界面である。また、例えば、前記第二の界面は、前記埋込み絶縁膜の界面のうちその上に形成される層間絶縁膜と対向する領域の界面である。

【0010】

(2) (1) において、第一の端面と第二の端面の差は前記ゲート絶縁膜の厚さより大きい。

ゲート電極を形成する過程において本発明を適応しない場合に形成される恐れのある段差より多い量だけ段差を形成することになる。一例として、ここではゲート絶縁膜の厚さとした。

(3) (1) において、前記アクティブ領域に前記ゲート電極に対応して基板に不純物が打込まれた不純物領域を有し、第一の端面と第二の端面の差は前記不純物領域における基板表面から不純物濃度が最も高くなる深さまでの距離より大きい。

(4) (1) において、第一の界面と第二の界面の差は40 nm以上である。または、200 nm以下である。より好ましくはこれらの範囲にあることである。

(5) 半導体基板より素子分離領域の埋め込み絶縁膜界面の方が低くなるよう形成される。

例えば、半導体基板と、前記半導体基板上に形成されたゲート電極を有するアクティブ領域と、前記半導体基板に形成された溝と前記溝に埋め込まれた埋込み絶縁膜を有する素子分離領域と、を備え、前記埋め込み絶縁膜の界面は、前記ゲート電極が形成された半導体基板表面より低い位置に形成される。

また、更に、前記(1)において記載した構成を含むことが好ましい。

なお、前記埋め込み絶縁膜の界面とは、前記溝底部から最も離れた界面で計測することができる。例えば、前記埋め込み絶縁膜の最も上端部である。或いは、前記埋込み絶縁膜素子分離領域の溝側端部から溝深さ分だけ離れた測定領域において計測することができる。もし、前記測定領域が規定し難い場合は、アクティブ領域で挟まれた素子分離領域の中央を含む領域で計測するようにしてもよい。

【0011】

(6) (5)において、前記アクティブ領域に前記ゲート電極に対応して基板に不純物が打込まれた不純物領域を有し、前記埋め込み絶縁膜の界面と前記半導体基板表面との差は、前記不純物領域における基板表面から不純物濃度が最も高くなる深さまでの距離より大きい。

(7) 半導体基板と、前記素子分離領域と、前記ゲート絶縁膜と、前記アクティブ領域と前記素子分離領域と、前記アクティブ領域に堆積され前記ゲート電極より上に位置する上端面を有する層間絶縁膜と、を備え、前記ゲート電極の一部は前記素子分離領域に位置し、前記ゲート電極の周囲に位置する前記素子分離領域に堆積される前記層間絶縁膜の一部は、前記ゲート電極の下に位置する前記素子分離領域における前記埋込み絶縁膜の上面より溝底面側に形成されることを特徴とする。

【0012】

より具体的な例としては、アクティブ領域上と素子分離領域上の一部にゲート電極膜及びゲート絶縁膜が具備され、該素子分離領域の埋込み酸化膜と該絶縁膜との界面は、半導体基板表面から落込んでおり、また、素子分離領域上にあるゲート電極膜と埋込み酸化膜との界面より落込んでいる。または、素子分離領域の埋込み酸化膜と該絶縁膜との界面は、素子分離領域上にあるゲート膜と埋め込み酸化膜との界面より落込んでおり、さらに半導体基板表面から不純物の形成深さ以上に落込んでいる。

(8) (1) ~ (7)において、埋め込み酸化膜が高密度 ($1 \times 10^{10} \sim 1 \times 10^{12}$ 個/cm³) のプラズマを使用して作製したHDP膜を有する。

(9) 素子分離領域とアクティブ領域に堆積されゲート電極より上に位置する上端面を有する層間絶縁膜と、を備え、前記ゲート電極の一部は前記素子分離領域

に位置し、前記素子分離領域における前記埋め込み絶縁膜の前記埋め込み絶縁膜の上に堆積される膜と対向する界面のうち、前記ゲート電極が位置する第一の素子分離領域における第一の界面が、前記第一の素子分離領域の周囲に位置する第二の素子分離領域における第二の界面より高い位置に形成され、前記第一の界面と第二の界面との間に前記ゲート電極が配置する領域における前記半導体基板表面が位置するよう構成された領域を有することを特徴とする。

(10) 半導体基板に溝を形成し、前記溝内に前記基板より導電性の低い埋め込み絶縁膜を埋め込み、素子分離領域と前記素子分離領域に隣接するアクティブ領域を形成する工程、前記半導体基板にゲート絶縁膜とゲート電極膜及びその上に絶縁膜を堆積し、パターニングしてゲート電極を形成する工程、前記素子分離領域の前記埋め込み絶縁膜の一部を除去し、前記埋め込み絶縁膜の表面に、前記ゲート電極が位置する第一の領域と、前記第一の領域の周りに、前記第一の領域より低い第二の領域を形成する工程、とを有する。

(11) (10)において、前記第二領域の前記埋め込み絶縁膜は、前記ゲート絶縁膜の厚さ以上除去される。

(12) (10)において、前記第二領域の前記埋め込み絶縁膜は、40nm以上200nm以下除去される。

(13) 半導体基板に溝を形成し、前記溝内に前記基板より導電性の低い埋め込み絶縁膜を埋め込み、素子分離領域と前記素子分離領域に隣接するアクティブ領域を形成する工程、前記半導体基板にゲート絶縁膜とゲート電極膜及びその上に絶縁膜を堆積し、パターニングしてゲート電極を形成する工程、レジストを半導体基板上に塗布し、パターンニングして前記素子分離領域において、前記ゲート電極が位置する第一の領域にレジストを残し、前記ゲート電極が位置しない第二の領域のレジストを除去し、前記第二の領域の前記埋め込み絶縁膜の一部を除去する工程、前記半導体基板表面に熱酸化膜を形成し、前記熱酸化膜を通過させて前記半導体基板に不純物を打ち込み、アニールして不純物領域を形成する工程、前記半導体基板に半導体基板より導電性の低い絶縁膜を堆積する工程、前記堆積した絶縁膜の前記不純物領域の位置に穴を開け、コンタクトホールを形成する工程、前記コンタクトホール内にシリコンより導電性の高い導電性材料を埋め込ん

でプラグを形成する工程、とを有する。

(14) (13)において、前記第二の領域の前記埋め込み絶縁膜は、前記不純物領域における基板から前記不純物が最高濃度となる深さ以上除去される。

(15) 以下の工程を有する。

(1) 半導体基板に溝を形成し、溝内に埋め込み酸化膜を埋め込み、素子分離領域及び素子分離領域により電氣的に隔てられたアクティブ領域を形成する工程、

(2) 半導体基板にゲート酸化膜、ゲート電極膜及び絶縁膜を堆積してパターンニングし、ゲート電極を形成する工程、

(3) レジストを前記半導体基板上に塗布して前記レジストをパターンニングし、素子分離領域中の酸化膜の一部を除去する工程、

(4) 前記半導体基板表面を熱酸化して熱酸化膜を形成し、前記熱酸化膜の上から不純物を前記半導体基板に打ち込み、アニールして不純物領域を形成する工程

、

(5) 前記素子分離領域及びアクティブ領域の上に層間絶縁膜を堆積する工程、

(6) 前記層間絶縁膜に穴を開け、コンタクトホールを形成する工程、

(7) 前記コンタクトホール内に導電性材料を埋め込み、前記不純物領域に電氣的に連絡するプラグを形成する工程、

(8) 前記層間絶縁膜上に、前記プラグに電氣的に連絡する配線層を形成する工程。

【0013】

【発明の実施の形態】

以下、本発明の実施形態の実施例について説明する。なお、本発明は以下に記載の形態に限られるものではなく、同様の効果を奏する他の形態に変形することもできる。

【0014】

本発明の一実施例である半導体装置の製造工程について図1、図9、図10を用いて説明する。図9は平面レイアウト図、図1は図9のA-A'における断面図、図10はB-B'における埋め込み酸化膜落ち込み形成後の断面図である。

(1) シリコン基板 1 に浅溝を形成し、その溝内を1000℃前後の温度で熱酸化して5～30nmの熱酸化膜 2 を形成する。その後、溝内に埋め込み絶縁膜を埋め込む。例えば、CVDまたはスパッタ法で形成した酸化シリコンなどの埋込み酸化膜 3 を埋め込む。例えば、この溝の形成方法は以下に示す方法でも構わない。Si基板上にパッド酸化膜とシリコンナイトライド膜を堆積後にパターニングし、その後にシリコンナイトライド膜をマスクにドライエッチング法を用いてシリコン基板に200～400nmの溝を形成する。

そしてその後には埋め込み酸化膜の緻密化を行うことが好ましい。例えば、希釈酸化雰囲気中又は窒素ガス雰囲気中で1000℃～1150℃、1～2時間のアニールを施す。さらに、シリコン基板上の余分な埋め込み酸化膜 3 をCMP法等で平坦化後に除去し、素子分離領域 (STI領域) 19 を形成する (図1 (a))。素子分離領域以外はアクティブ領域 18 となる。

(2) シリコン基板 1 表面を900℃、酸素雰囲気中で熱処理して約10nmの犠牲酸化膜 25 を形成し、この膜をバッファ層にボロンやリンなどの不純物を濃度1E13 (個/cm²) 程度打ち込み、well層 5 を形成する。その後、上記熱酸化膜を希釈したHFにより除去し、基板上に、ゲート酸化膜 6、多結晶シリコン膜 7、タンゲステン膜 8、シリコンナイトライド膜 9 を順次堆積・パターニングしてゲート電極を形成する (図1 (b))。

(3) その後、レジスト 4 を堆積し、ゲート電極をパターニングしたマスクを用いて、ゲート電極上にレジストを残す。この際、マスク寸法よりパターニングされたレジスト寸法の方が少し大き目の寸法となるようにし、ゲート電極すべてをレジストで覆うようにする。

【0015】

上記マスクはゲート端部下のゲート酸化膜 6 を除去しないようにするためのものである。使用マスクは工程 (1) の浅溝を形成した際に使用したマスクでも構わない。また、本目的に沿うものであるならば、その他のもの方法でも構わない (図1 (c))。

(4) 埋め込み酸化膜 3 をドライエッチング法を用いてシリコン基板 1 表面から落込みます (図1 (d))。ゲート電極をマスクとしているので、ゲート電極下の

埋め込み酸化膜は除去されず、そうでない領域の埋め込み酸化膜の所定の厚さが除去され、ゲート電極端部近傍では落込ませた分の段差 26 が形成される（図 10 参照）。このように、図 1 d と図 10 を併せて見れば明らかなように、素子分離領域へのゲート電極が張り出している部分の周囲の領域（素子分離領域）の表面（素子分離領域を形成する埋め込み絶縁膜における、その上に堆積される層との界面）は、ゲート電極下の埋め込み膜に足して段差ができ（図 10）、基板に対しても段差ができる（図 1（d））ということになる。

（5）その後、900℃、酸素雰囲気中で熱処理してシリコン基板表面に 3～10 nm の厚さの熱酸化膜 A10 を形成し、この膜をバッファ層にシリコン基板 1 にボロン（PMOS の場合）やひ素（NMOS の場合）を濃度 $1E13$ （個/cm²）程度打ち込み、低濃度層 11 を形成する（図 1（e））。

（6）その後、絶縁膜となるシリコンナイトライド膜 A12 を堆積後、パターニングして、露出したシリコン基板 1 にボロン（PMOS の場合）やひ素（NMOS の場合）を濃度 $5E14 \sim 3E15$ （個/cm²）程度打ち込み、高濃度層 14 を形成する。化学気相法でいわゆる層間絶縁膜を形成するために、酸化膜 A13 を基板表面全体に堆積し、CMP 等で酸化膜 13 を平坦化する（図 1（f））。ここで絶縁膜とは、ゲート電極形成後に埋め込み酸化膜 3 上に堆積される膜のことを言う。また、前記半導体基板より導電性の低い膜である。

（7）異方性のドライエッチングにより、酸化膜 A13 を部分的に除去し、コンタクト領域 20 を形成する。（図 1（g））。

（8）シリコン基板 1 からの電極引き出しのために、電極プラグとなる多結晶シリコン 15 をコンタクト領域 20 に堆積し、トランジスタが完成する（図 1（h））。また、必要に応じて、前記層間絶縁膜である酸化膜 A13 の上の層に、前記プラグに連絡する配線層を形成する。なお、電極プラグは電気抵抗が低いものであればよいので、その他の金属、例えばタングステン等でも構わない。

【0016】

次の本発明の作用効果について説明する。図 2 に本実施例となる（3）、（4）工程を省いて製造した場合のゲート端部近傍（図 1（h）の c）の TEM 像を示す。図 2 から、シリコンナイトライド端部近傍から結晶欠陥が生じ、さらに不

純物が打ち込まれたシリコン基板表面は盛り上がっていることがわかる。この盛り上がりから、不純物が打ち込まれた領域には、高い応力が生じていると考えられ、その応力（不純物起因応力）をシリコン基板の反り量を測定することで評価した。その結果、図3に示すように不純物打ち込み後では、打ち込み量 5×10^{14} 個 $\cdot \text{cm}^{-2}$ までは -350 MPa 程度の圧縮応力が生じ、 3×10^{15} 個 $\cdot \text{cm}^{-2}$ で -500 MPa と濃度の増加に伴い応力が増加することがわかった。これは、不純物をシリコン基板に打ち込むと打ち込んだ原子がシリコン原子の格子間位置に存在するので、打ち込んだ領域には高い応力が生じるものであると考えられる。また、この盛り上がりは不純物打ち込み後の熱処理後に不純物原子がシリコン原子と置換し、さらに不純物を打ち込んだ分、余剰な原子が盛り上がったものと考えられる。

【0017】

結晶欠陥は、不純物を打ち込んだ領域近傍に素子分離領域（STI領域）がある場合に多く見られる。このSTI構造はシリコン基板に溝を形成し、埋め込み酸化膜を埋め込んだものであり、従来のLOCOS構造に比べてマスク寸法通りのアクティブ幅が確保できることから、 $0.25 \mu\text{m}$ プロセス以降に使うことが好ましい。しかし、このSTI構造はシリコン基板中に高い圧縮の応力を生じさせ、結晶欠陥を発生させるおそれがある。STI構造の応力発生メカニズムは以下の通りである（図4参照）。図4は、埋め込み酸化膜3及び熱酸化膜2を有するSGI領域に隣接したアクティブ領域のシリコン基板部分の状態を模式的に示す。トランジスタ形成過程では多くのシリコン基板酸化工程が存在するので、酸化種となる酸素は溝内部の埋め込み酸化膜3を通して拡散し、溝側壁にも酸化膜が成長する。SiからSiO₂変化時に約2倍の体積膨張が生じ、この体積膨張が埋め込み酸化膜3によって拘束を受けるので、シリコン基板中には高い圧縮の応力（STI応力）が生じる。

【0018】

結晶欠陥は不純物起因応力がこのSTI応力によって大きい拘束を受け生じるものと考えられる。つまり、結晶欠陥を防止させるには、第一に不純物起因応力を如何に開放させるか、第二に不純物応力を拘束しているSTI応力を如何に低減で

きるかがかぎであると言える。

【0019】

STI領域の埋め込み酸化膜をシリコン基板から落込ませることで、溝の側壁（図5のA部）がフリー面となり、不純物起因応力の開放とSTI応力が低減できると考えられる。図5はSTI構造を形成した後に不純物を打ち込み、シリコン基板表面に発生する応力の埋め込み酸化膜落込み量依存性を解析したものである。解析はアクティブ幅 $0.5\mu\text{m}$ 、STIの溝幅 $0.3\mu\text{m}$ 、溝深さ $0.35\mu\text{m}$ 、不純物打ち込み深さ 40nm の条件で行ったものである。図の横軸は埋め込み酸化膜の落込み量（図5のB）、縦軸はシリコン基板表面に発生する応力である。シリコン基板表面に発生する応力は埋め込み酸化膜の落込み量が不純物打ち込み領域内（不純物打ち込み深さ 40nm 未満）にある場合はそれほど減少しないが、不純物打ち込み領域を越えると急激に減少し、溝深さの半分程度以降ではほぼ一定の応力値となり、STIの埋め込み酸化膜を落込ませることでシリコン基板表面に発生する応力が減少することが明らかとなった。本結果をもとにトランジスタを試作した結果を図6に示す。図6は図2に対応した場所を示す。図6は実施例に従いトランジスタを試作し、埋め込み酸化膜を 50nm 落込ませた結果である。図2で生じていた結晶欠陥は発生せず、本方法が有効性であることが分かった。

このように、STI領域の埋め込み酸化膜をシリコン基板から落込ませることで、不純物起因応力を開放させ、または更に、不純物応力を拘束しているSTI応力を低減できるので、結晶欠陥を防止させるために寄与できる。

【0020】

また、図5に示したように、埋め込み酸化膜の落ち込み量を不純物落ち込み深さ以上とすることが応力低減効果の観点からは好ましい。

ここで言う不純物打ち込み深さとは、シリコン基板表面からシリコン基板中の不純物ピーク濃度位置までの距離 R_p に不純物濃度バラツキの標準偏差 σ をあわせた $R_p + \sigma$ のことであり、図1（h）工程のCの位置で濃度深さが均一な部分におけるものである。

【0021】

また、具体的には、不純物のピーク濃度までの深さ、或いはより好ましくは、

前記ピーク濃度までの深さの1.5倍、更に好ましくは2倍の深さ以上の埋め込み酸化膜の落ち込み量を備えることが好ましい。

【0022】

或いは、図5に基づいて、応力低減効果の観点から、50nm以上埋め込み酸化膜を落ち込ませることが好ましい。なお上限は効果の変動が少なくなり、安定した領域である200nm以下程度にすることが妥当である。これ以上にしても、顕著な効果増加があまりない恐れがあるからである。この後の工程でこの上に膜を堆積することから段差を少なくする観点でもこの程度以下に抑えることが妥当である。なお、前記効果は少なくなる可能性もあるが、製造上の都合或いは不純物打ち込み領域の関係を考慮して、例えば40nm以上の埋込み酸化膜の落ち込み量を有するようにすることもできる。

【0023】

本実施例ではレジストをマスクにドライエッチングにより素子分離中の埋め込み酸化膜を除去したが、当然ながら別な方法で行ってもよい。

【0024】

また、図1(d)中で埋め込み酸化膜をシリコン基板表面から一様に落ち込ませたが、埋め込み酸化膜の一部でもシリコン基板から落込んでいれば効果があることは言うまでもない。または、素子形成領域ではさまれた素子分離層形成で挟まれたSGIの領域のうち、過半数が落ち込んでるようにする。(具体的には、素子形成領域で挟まれるように引いた断面における素子分離層の表面の過半数の領域が落込んでいよう配置されることができ)。

【0025】

落ち込みの測定場所として他には、埋込み絶縁膜の上端部を比較対象とすることもできる。

【0026】

図7に他の形態として、前記製造工程において、ゲート電極形成前に埋め込み酸化膜の落ち込み形成をするように変更した場合の構造を示す。ゲート電極膜が図7に示すようにSTI溝上端部Aを回り込むように形成される恐れがある。溝上端部に電界が集中し、MOSトランジスタの閾値電圧のシフト等、電気的の変化を抑

制する観点からは、先に記載のように、埋め込み酸化膜の落込み形成を上記（２）工程のゲート電極形成後に行う方が好ましい。

もちろん、これらの影響が少ない製品や他の観点から、埋め込み酸化膜の落込み形成はゲート電極を含むトランジスタ形前でSTI形成後（工程（１）後）に行うこともできる。

【0027】

また、結晶欠陥の発生は、シリコン基板に不純物を打ち込み、その後の結晶回復アニールで生じる場合が多い。そのため、前記埋め込み酸化膜の落込み形成はこの結晶回復アニールの前までに行うことが有効である。

【0028】

また、STI構造の製造方法として、図１１に示すように製造すると、埋め込み酸化膜３の溝と隣接する領域が他の埋め込み酸化膜３表面より低くなる低下領域が形成されにくいので、本方法を用いた場合には特に有効である。

（１）シリコン基板１上にパッド酸化膜２１を厚さ約１０nm、シリコンナイトライド膜Ｂ２２を厚さ約１５０nm堆積後にパターニングし、その後、シリコンナイトライド膜Ｂ２２上に酸化膜Ｂ２３を堆積する。この酸化膜Ｂ２３を深さ方向のみを選択的にエッチングするドライエッチング法を用いて、パッド酸化膜２１とシリコンナイトライド膜Ｂ２２端部側壁に残す（図１１(a)）。

（２）酸化膜Ｂ２３をマスクにシリコン基板１に２００～４００nm程度の溝を形成する（図１１(b)）。

（３）溝内を１０００℃前後の温度で熱酸化して５～３０nmの熱酸化膜２を形成する。その後、溝内に埋め込み絶縁膜を埋め込む。例えば、CVDまたはスパッタ法で形成した酸化シリコンなどの埋込み酸化膜３を埋め込む。そして、希釈酸化雰囲気中又はN₂雰囲気中で１０００℃～１１５０℃、１～２時間のアニールを施す（図１１(c)）。

（４）埋め込み酸化膜３をシリコンナイトライド膜Ｂ２２をストッパにCMP法等で平坦化し、その後、シリコンナイトライド膜Ｂ２２とパッド酸化膜Ｂ２２をそれぞれ、１５０～２００℃程度に加熱したりん酸とフッ酸により除去する（図１１(d)）。このようなSTI構造の製造方法とすることで、埋め込み酸化膜３がシリコン基板

上に図11(d)のdだけ堆積されるようになり、埋め込み酸化膜の前記低下領域が形成されにくくなるので、このような製造方法の場合では強制的に落込みを形成する本方法が特に有効である。

このようにすることにより、ゲート電極の一部は素子分離領域に位置し、素子分離領域における埋め込み絶縁膜の埋め込み絶縁膜の上に堆積される膜と対向する界面のうち、ゲート電極が位置する第一の素子分離領域における第一の界面が、第一の素子分離領域の周囲に位置する第二の素子分離領域における第二の界面より高い位置に形成され、前記第一の界面と第二の界面との間にゲート電極が配置する領域における半導体基板表面が位置するような関係を有するように形成されることができる。

【0029】

さらに、STI構造の製造方法として、図12に示すように製造すると、埋め込み酸化膜3の前記低下領域が形成されにくいので、本方法を用いた場合にも特に有効である。

(1) シリコン基板1上にパッド酸化膜21を厚さ約10nm、シリコンナイトライド膜B22を厚さ約150nm堆積後にパターンニングし、シリコンナイトライド膜B22をマスクにシリコン基板1に200～400nm程度の溝を形成する。その後、溝内を1000℃前後の温度で熱酸化して5～30nmの熱酸化膜2を形成する(図12(a))。

(2) 溝内に埋め込み絶縁膜を埋め込む。例えば、CVDまたはスパッタ法で形成した酸化シリコンなどの埋込み酸化膜3を埋め込む。そして、埋め込み酸化膜3を希釈酸化雰囲気中又はN₂雰囲気中で1000℃～1150℃、1～2時間のアニールを施し、埋め込み酸化膜3の緻密化を行う。その後、埋め込み酸化膜3をシリコンナイトライド膜B22をストッパにCMP法等で平坦化する(図12(b))。

(3) シリコンナイトライド膜B22を150～200℃程度に加熱したりん酸により除去する(図12(c))。

(4) シリコン基板1上に酸化膜B23を堆積し、この酸化膜B23を深さ方向のみを選択的にエッチングするドライエッチング法を用いて、埋め込み酸化膜3の側壁にのみ酸化膜B23を残す(図12(d))。この後に、酸化膜B23の緻密化を目

的に1000℃程度のアニールを行ってもよい。

【0030】

このようなSTI構造の製造方法とすることで、埋め込み酸化膜3がシリコン基板上に図12(d)のdだけ堆積されるようになり、埋め込み酸化膜は前記低下領域が形成されにくくなるので、このような製造方法の場合では強制的に落込みを形成する本方法が特に有効である。

【0031】

さらに、STI構造の製造方法として、図13に示すように製造すると、埋め込み酸化膜3の前記低下領域が形成されにくいので、本方法を用いた場合にも特に有効である。

(1) シリコン基板1上にパッド酸化膜21を厚さ約10nm、シリコンナイトライド膜B22を厚さ約200～250nm堆積後にパターンニングし、シリコンナイトライド膜B22をマスクにシリコン基板1に200～400nm程度の溝を形成する(図13(a))。

(2) その後、シリコンナイトライド膜B22の一部を150～200℃程度に加熱したりん酸により除去し、シリコン基板1の溝上端部からシリコンナイトライド膜B22を20～50nm後退させる(図13(b))。

(3) 溝内を1000℃前後の温度で熱酸化して5～30nmの熱酸化膜2を形成し、さらに溝内に埋め込み絶縁膜を埋め込む。例えば、CVDまたはスパッタ法で形成した酸化シリコンなどの埋め込み酸化膜3を埋め込む。そして、埋め込み酸化膜3を希釈酸化雰囲気中又はN₂雰囲気中で1000℃～1150℃、1～2時間のアニールを施し、埋め込み酸化膜3の緻密化を行う(図13(c))。

(4) 埋め込み酸化膜3をシリコンナイトライド膜B22をストッパにCMP法等で平坦化し、その後、シリコンナイトライド膜B22とパッド酸化膜B22をそれぞれ、150～200℃程度に加熱したりん酸とフッ酸により除去する(図13(d))。

このようなSTI構造の製造方法とすることで、埋め込み酸化膜3がシリコン基板上に図13(d)のdだけ堆積されるようになり、埋め込み酸化膜は前記低下領域が形成されにくくなるので、このような製造方法の場合では強制的に落込みを形成する本方法が特に有効である。

【0032】

さらに、STI構造の製造方法として、図14に示すように製造すると、埋め込み酸化膜3の前記低下領域が形成されにくいので、本方法を用いた場合にも特に有効である。

(1) シリコン基板1上にパッド酸化膜21を厚さ約10nm、シリコンナイトライド膜B22を厚さ約150nm堆積後にパターンニングし、シリコンナイトライド膜B22をマスクにシリコン基板1に200～400nm程度の溝を形成する。その後、溝内をAMAT社製のISSG酸化(In-Situ Steam Generation) 炉体で1000℃～1150℃前後の温度で熱酸化して5～30nmの熱酸化膜2を形成する。ISSG酸化方式では、酸化剤となる水蒸気を炉外で形成するのではなく、水素と酸素を炉内に導き、炉内で水蒸気を形成するもので、シリコンだけでなくシリコンナイトライド膜も酸化される。そのため、シリコンナイトライド膜B22膜表面に酸化が形成され、結果的にシリコンナイトライド膜B22は溝上端部から後退した格好となる(図14(a))。

(2) 溝内に埋め込み絶縁膜を埋め込む。例えば、CVDまたはスパッタ法で形成した酸化シリコンなどの埋込み酸化膜3を埋め込む。そして、埋め込み酸化膜3を希釈酸化雰囲気中又はN₂雰囲気中で1000℃～1150℃、1～2時間のアニールを施し、埋め込み酸化膜3の緻密化を行う。その後、埋め込み酸化膜3をシリコンナイトライド膜B22をストッパにCMP法等で平坦化する(図14(b))。

(3) シリコンナイトライド膜B22とパッド酸化膜をそれぞれ、150～200℃程度に加熱したりん酸とフッ酸により除去する(図14(c))。

【0033】

このようなSTI構造の製造方法とすることで、埋め込み酸化膜3がシリコン基板上に図14(c)のdだけ堆積されるようになり、埋め込み酸化膜は前記低下領域が形成しにくくなるので、このような製造方法の場合では強制的に落込みを形成する本方法が特に有効である。

さらに、STI構造の製造方法として、図15に示すように製造すると、埋め込み酸化膜3の前記低下領域が形成されにくいので、本方法を用いた場合にも特に有効である。

(1) シリコン基板 1 上にパッド酸化膜 2 1 を厚さ約 10nm、多結晶シリコン膜 (もしくはアモルファスシリコン膜) 2 4 を厚さ 10～50nm、シリコンナイトライド膜 B 2 2 を厚さ約 150nm 順次堆積した後にパターンニングし、シリコンナイトライド膜 B 2 2 をマスクにシリコン基板 1 に 200～400nm 程度の溝を形成する。その後、溝内を 1000℃～1150℃前後の温度で熱酸化して 5～30nm の熱酸化膜 2 を形成する。この際、多結晶シリコン膜 2 4 は酸化されるので、シリコン基板 1 上の溝上端部には厚い酸化膜が形成される (図 15(a))。

(2) 溝内に埋め込み絶縁膜を埋め込む。例えば、CVD またはスパッタ法で形成した酸化シリコンなどの埋め込み酸化膜 3 を埋め込む。そして、埋め込み酸化膜 3 を希釈酸化雰囲気中又は N₂ 雰囲気中で 1000℃～1150℃、1～2 時間のアニールを施し、埋め込み酸化膜 3 の緻密化を行う。(図 15(b))。

(3) その後、埋め込み酸化膜 3 をシリコンナイトライド膜 B 2 2 をストッパに CMP 法等で平坦化し、シリコンナイトライド膜 B 2 2 とパッド酸化膜をそれぞれ、150～200℃程度に加熱したりん酸とフッ酸により除去する (図 15(c))。

【0034】

このような STI 構造の製造方法とすることで、埋め込み酸化膜 3 がシリコン基板上に図 15 (c) の d だけ堆積されるようになり、埋め込み酸化膜は前記低下領域が形成しにくくなるので、このような製造方法の場合では落込みを形成する本方法が特に有効である。

【0035】

さらに、埋め込み酸化膜の製造方法として $1 \times 10^{10} \sim 1 \times 10^{12}$ 個/cm³ 高密度のプラズマを使用して作製した HDP 膜は、CVD 法やスパッタ法で作製した膜より密度が高く、フッ酸により除去されにくい。そのため、不要となったパッド酸化膜 2 1 や犠牲酸化膜 2 5 を除去する際にこの膜は除去されにくく前記低下領域は形成されにくくなるので、HDP 膜を使用した場合に本方法は特に有効である。

【0036】

STI の応力を低減させる方法として、工程 (1) の熱酸化膜 2 形成後に NO ガス中で熱処理し、シリコン基板と熱酸化膜 2 界面にオキシナイトライドを形成する

方法、また、窒素プラズマにさらして、熱酸化膜 2 表面に酸窒化物を形成する方法等がある。これらの方法は、酸素の拡散を抑制して、STI応力を低減するものであるが、完全には酸素の拡散を防止できない。そのため、これらを行った場合でも本方法は有効である。

【0037】

すなわち、STI起因で生じる応力が存在する場合、本方法は有効である。

【0038】

また、前述の実施例においては、DRAMその他一般のMOSなどの電界効果型トランジスタに関する構造を示したが、本願発明は、Flashなどのように溝の酸化量が多い半導体装置に適応するとその効果が大きい。

【0039】

【発明の効果】

本方法によれば、基板における転位発生を効果的に防止できる。

【図面の簡単な説明】

【図1】 本発明の一実施例におけるゲート構造の製造工程の模式図である。

【図2】 本発明の一実施例を補足する模式図である。

【図3】 本発明の一実施例を補足する模式図であり、不純物打ち込み後のシリコン基板の盛り上がりを示した図である。

【図4】 本発明の一実施例を補足する模式図であり、素子分離応力の発生メカニズムを示した図である。

【図5】 本発明の一実施例を補足する模式図であり、シリコン基板表面に生じる応力の埋め込み酸化膜落ち込み量依存性を示した図である。

【図6】 本発明の一実施例を補足する模式図であり、実施例に基づいて試作した結果を示した図である。

【図7】 本発明の一実施例を補足する模式図である。他の形態の一例を示した図である。

【図8】 本発明の一実施例を補足する模式図である。他の形態の一例を示した図である。

【図9】 本発明の一実施例を補足する模式図である。他の形態の一例を示した図

である。

【図 10】本発明の一実施例を補足する模式図である。他の形態の一例を示した図である。

【図 11】本発明の一実施例を補足する模式図である。他の形態の一例を示した図である。

【図 12】本発明の一実施例を補足する模式図である。他の形態の一例を示した図である。

【図 13】本発明の一実施例を補足する模式図である。他の形態の一例を示した図である。

【図 14】本発明の一実施例を補足する模式図である。他の形態の一例を示した図である。

【図 15】本発明の一実施例を補足する模式図である。他の形態の一例を示した図である。

【符号の説明】

1・・・シリコン基板、2・・・熱酸化膜、3・・・埋め込み酸化膜、4・・・レジスト、5・・・well層、6・・・ゲート酸化膜、7・・・多結晶シリコン膜、8・・・タンゲステン膜、9・・・シリコンナイトライド膜、10・・・熱酸化膜A、11・・・低濃度層、12・・・シリコンナイトライド膜A、13・・・酸化膜A、14・・・高濃度層、15・・・多結晶シリコン膜、16・・・結晶欠陥、17・・・シリコン酸化膜、18・・・アクティブ領域、19・・・素子分離領域、20・・・コンタクト領域、21・・・パッド酸化膜、22・・・シリコンナイトライドB、23・・・酸化膜B、24・・・多結晶シリコン膜、25・・・犠牲酸化膜、26・・・段差

【書類名】 図面

【図 1】

图 1 (a)

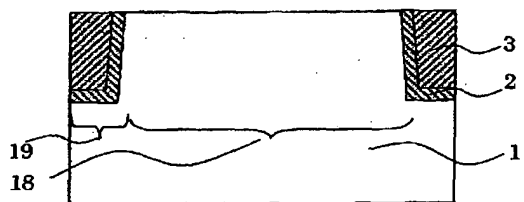


图 1 · (b)

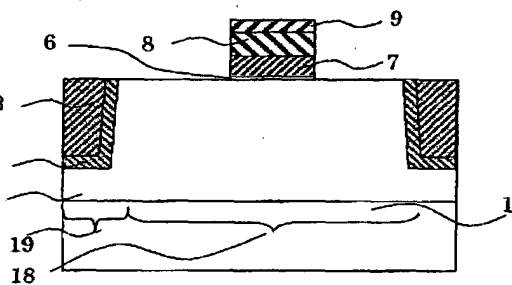


图 1 (c)

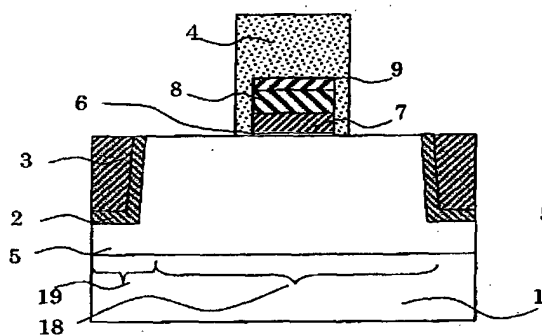


图 1 (d)

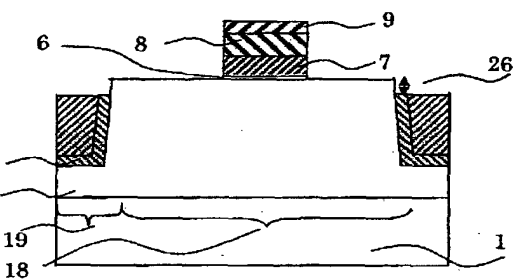


Fig. 1 (e)

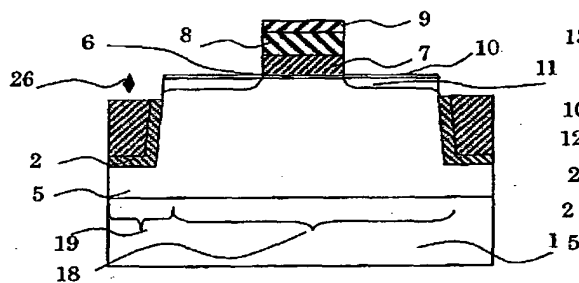


图 1 (f)

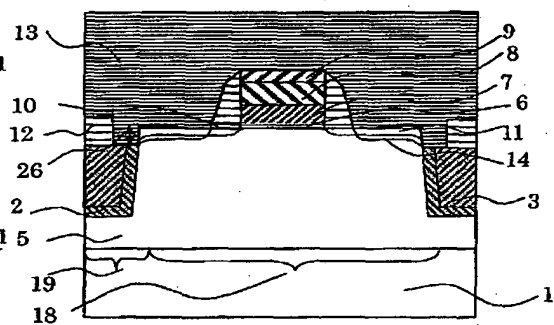


图 1 (g)

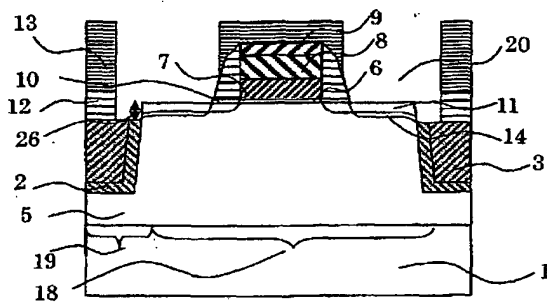
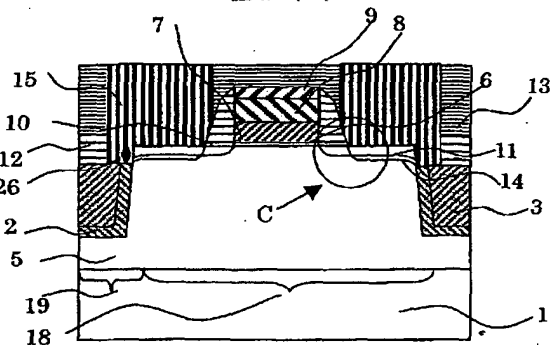
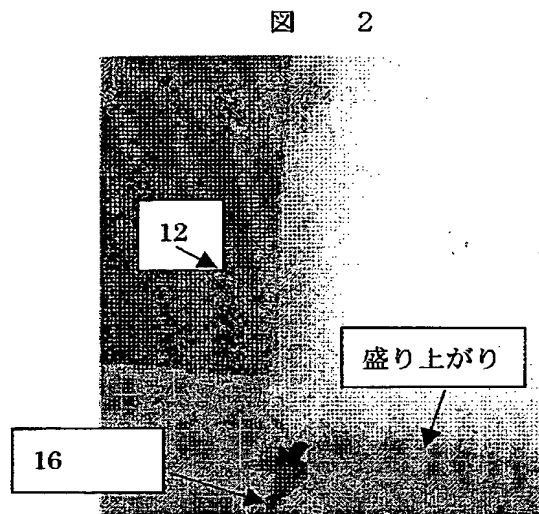


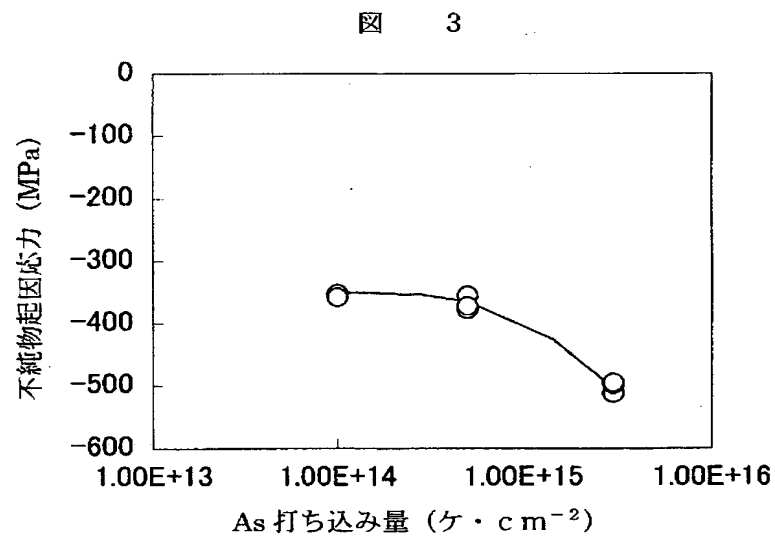
图 1 (h)



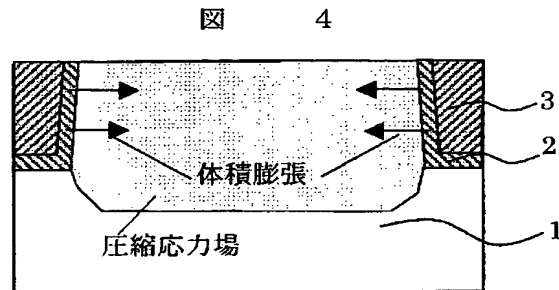
【図 2】



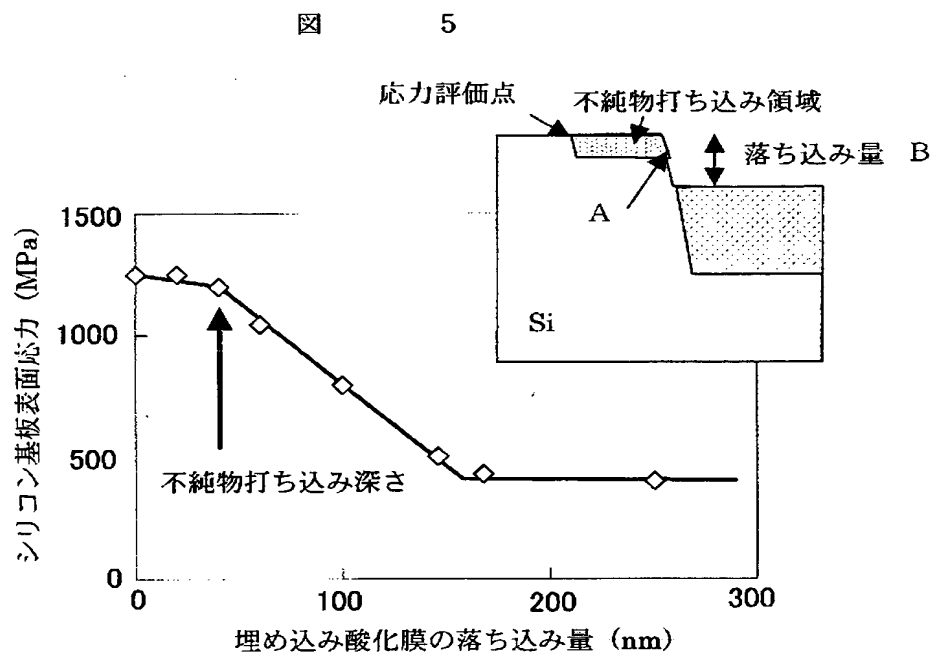
【図 3】



【図 4】

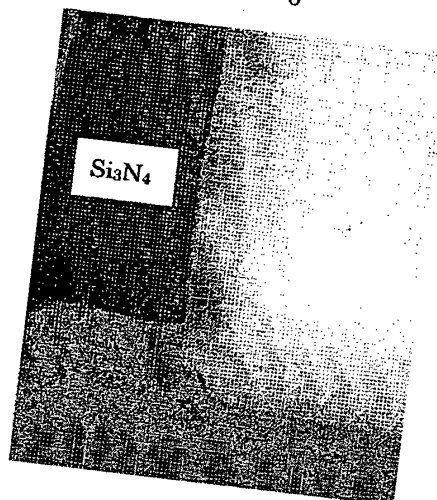


【図 5】



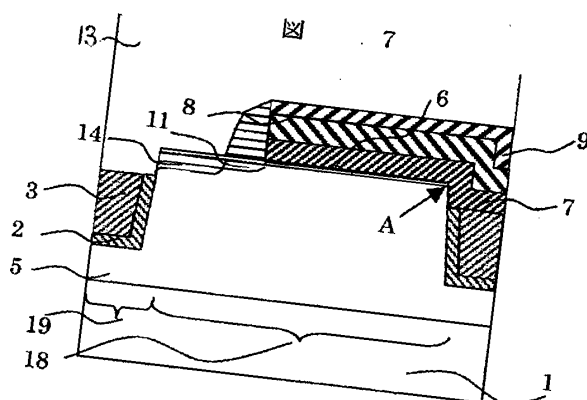
【図6】

図 6



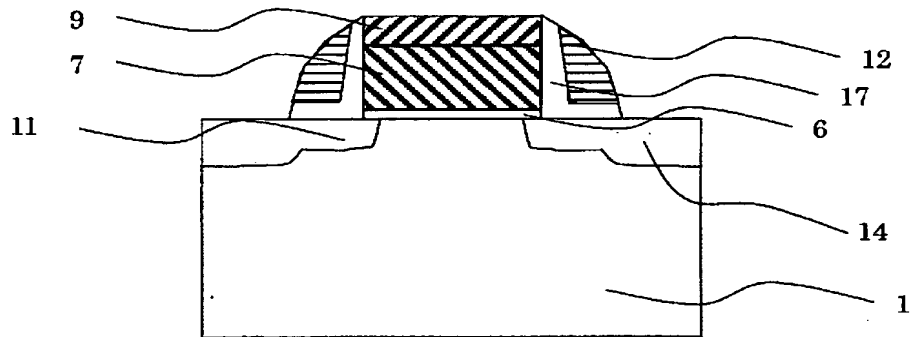
【図7】

図 7



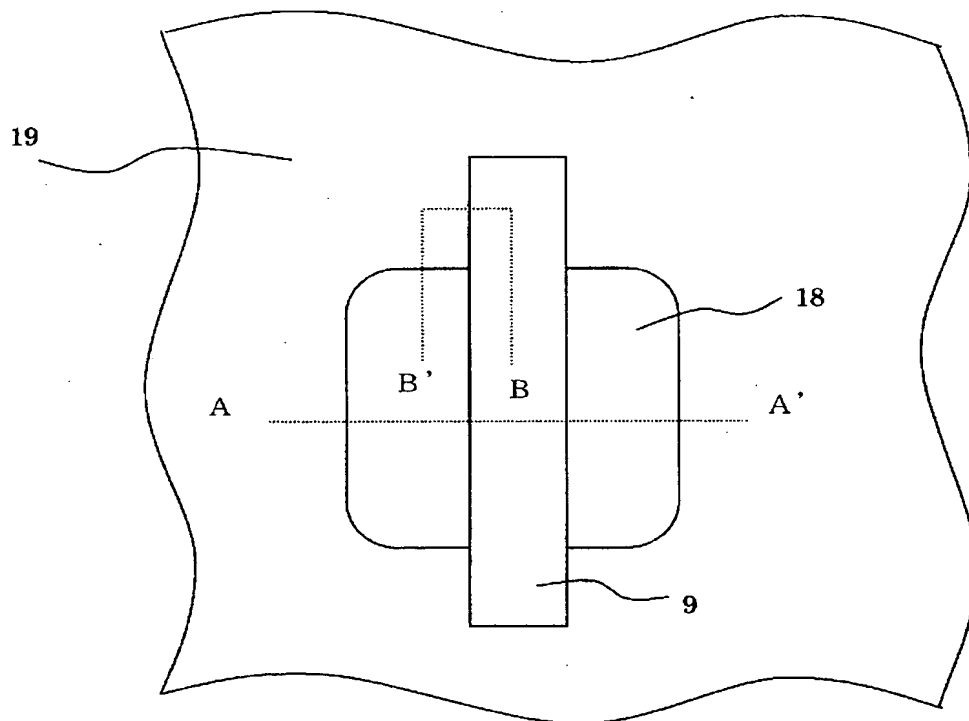
【図 8】

図 8

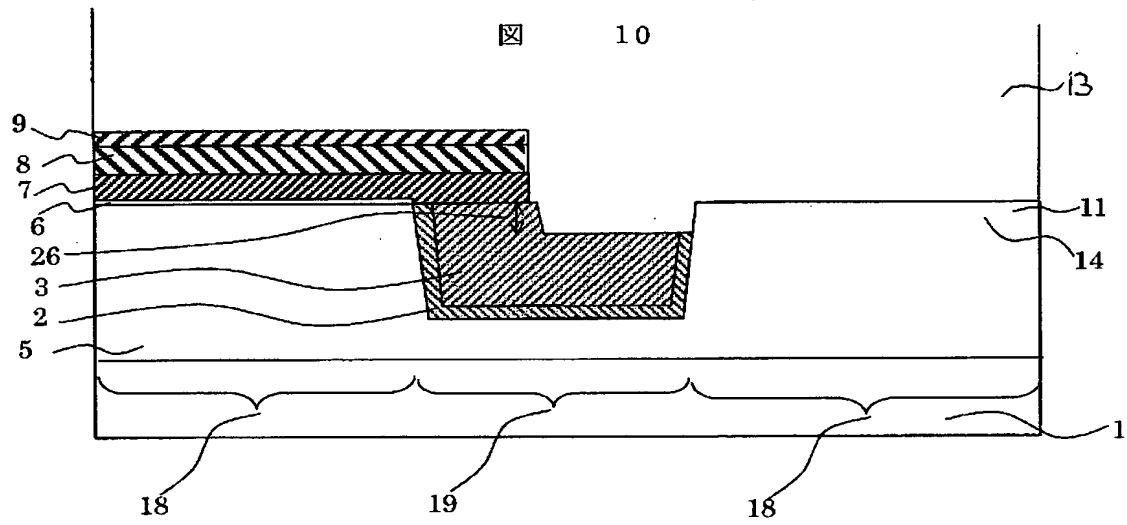


【図 9】

図 9



【図 10】



【図 11】

図 11 (a)

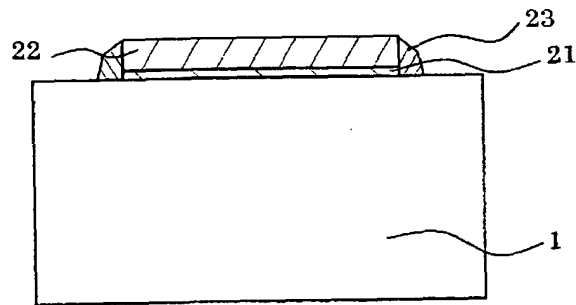


図 11 (b)

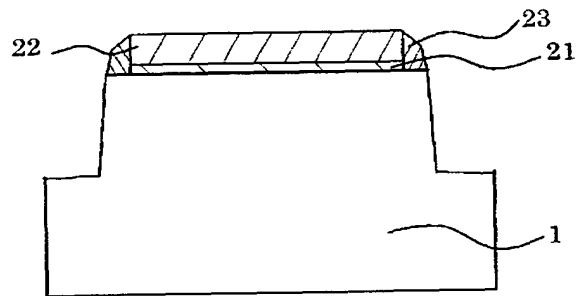


図 11 (c)

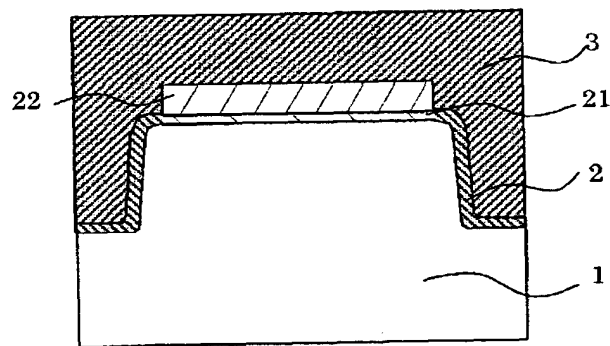
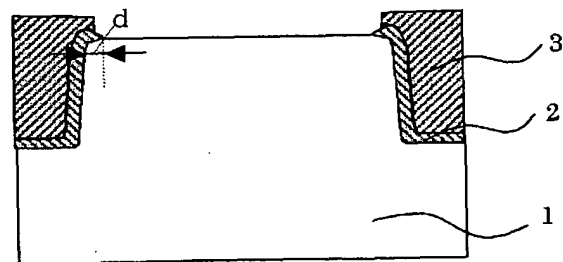


図 11 (d)



【図 12】

図 12 (a)

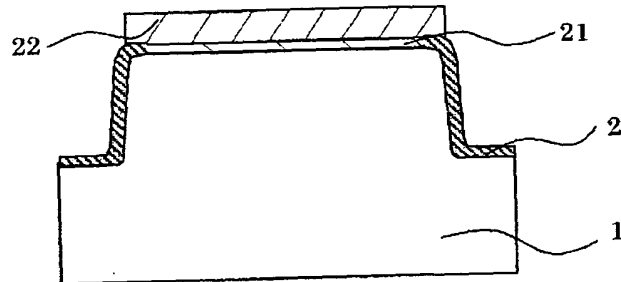


図 12 (b)

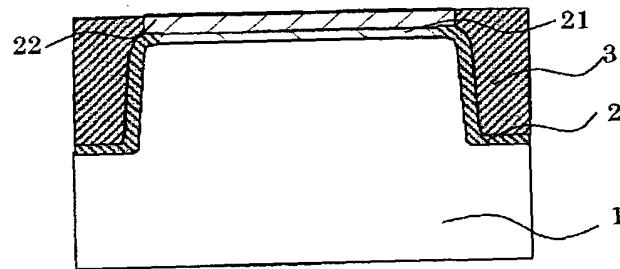


図 12 (c)

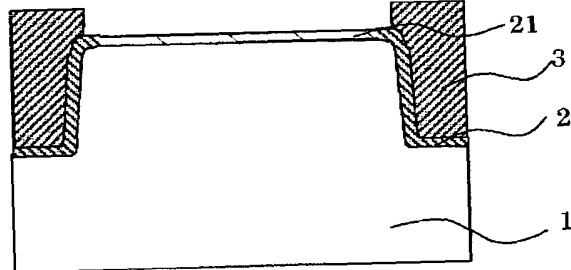
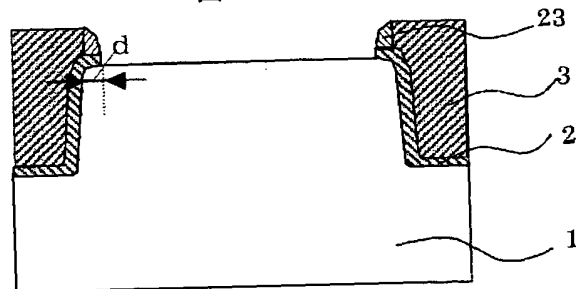


図 12 (d)



【図 13】

図 13 (a)

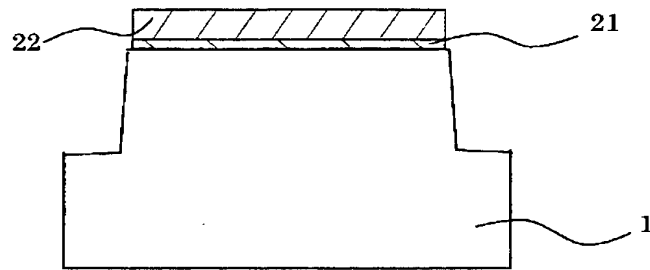


図 13 (b)

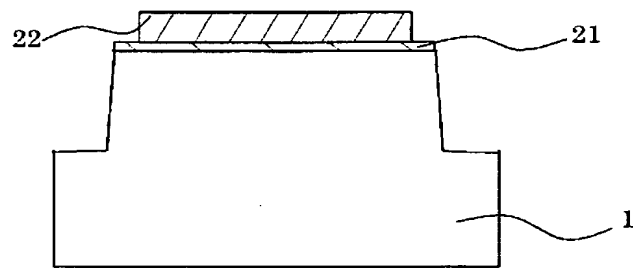


図 13 (c)

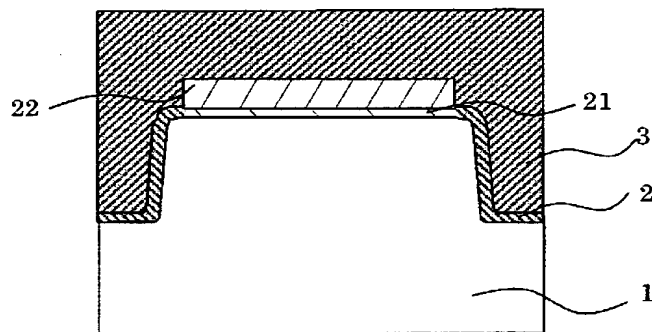
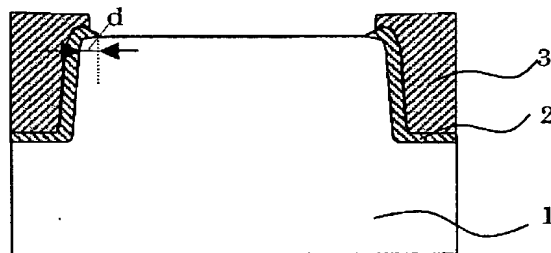


図 13 (d)



【図 14】

図 14(a)

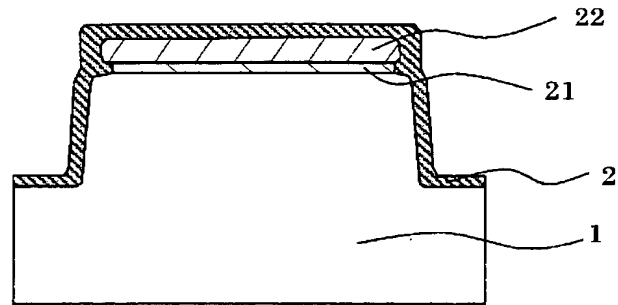


図 14(b)

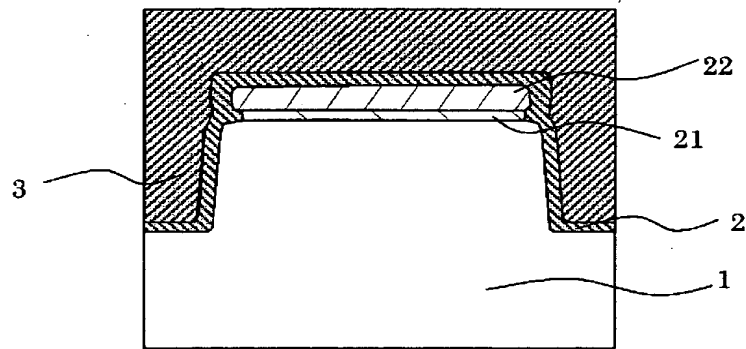
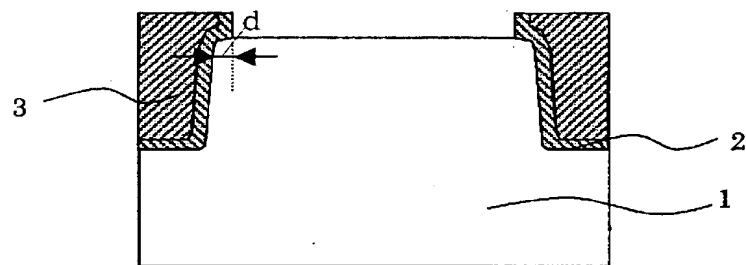
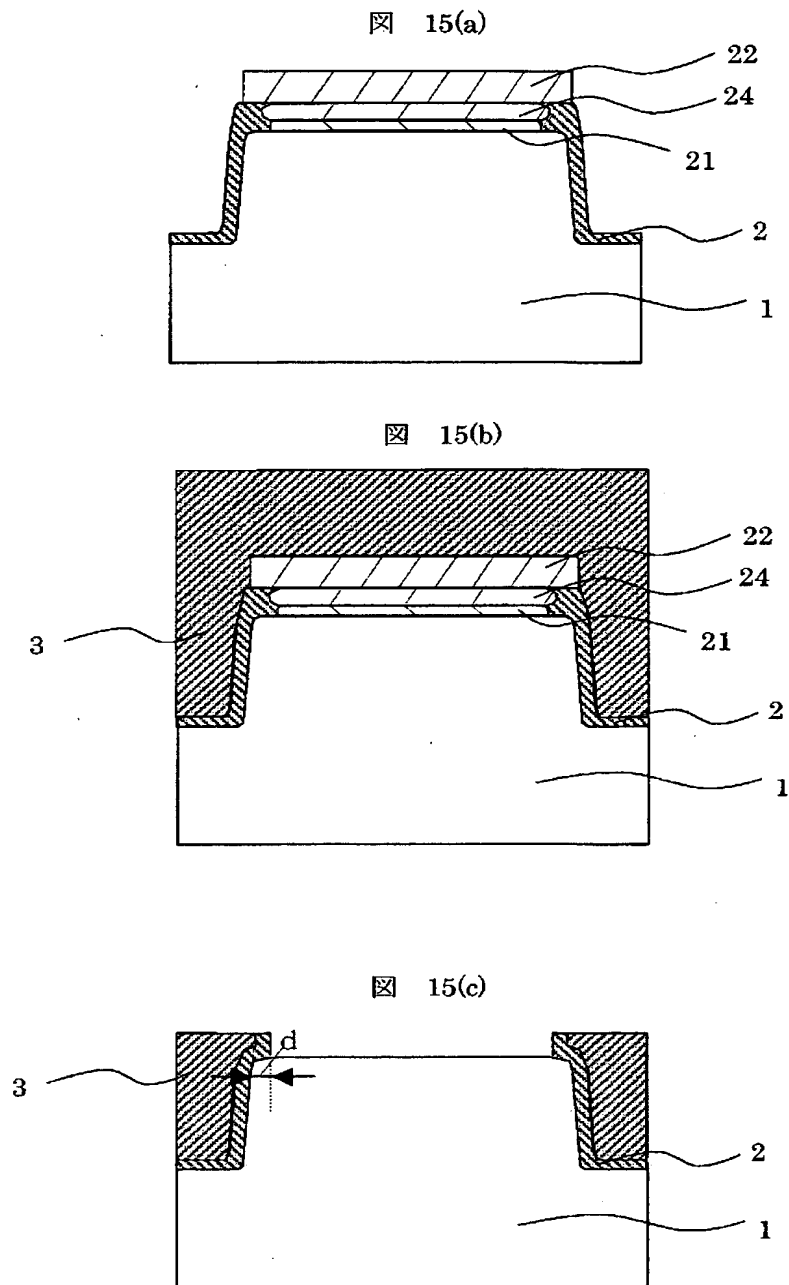


図 14(c)



【図 15】



【書類名】 要約書**【要約】****【課題】**

本発明の目的は、基板に生じる欠陥を効果的に抑制でき、性能の良好な半導体装置及び製造方法を提供することにある。

【解決手段】

半導体基板と、前記半導体基板に形成された溝と前記溝に埋め込まれた埋込み絶縁膜を有する素子分離領域と、前記素子分離領域に隣接して形成されゲート絶縁膜とゲート絶縁膜の上にゲート電極が形成されるアクティブ領域と、前記素子分離領域上に少なくともゲート電極の一部が位置し、前記ゲート電極が位置する第一の領域における前記埋め込み絶縁膜の第一の界面が、前記ゲート電極が位置しない第二の領域における前記埋め込み絶縁膜の第二の界面より高い位置になるよう形成される領域を含むことを特徴とする。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 1 8 2 3 2 3
受付番号	5 0 2 0 0 9 1 2 3 4 6
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 6 月 2 5 日

< 認定情報・付加情報 >

【提出日】 平成14年 6月24日

次頁無

特願 2 0 0 2 - 1 8 2 3 2 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 2 - 1 8 2 3 2 3

出 願 人 履 歴 情 報

識別番号

[5 0 0 4 9 5 2 5 6]

1. 変更年月日

2 0 0 0 年 1 0 月 2 5 日

[変更理由]

新規登録

住 所

茨城県ひたちなか市堀口 7 5 1 番地

氏 名

トレセンティテクノロジーズ株式会社